

**Cognome e nome dello studente:**

**Matricola:**

**N. Pagine**

1. [7] Specificare il contenuto di tutti i cammini della CPU (dati e controllo) riportata sul retro, quando è in esecuzione l'istruzione: 0x0000 0400 sub \$1, \$2, \$3 sapendo che il codice operativo dell'istruzione sub è 0 e il contenuto del campo funct è 34 [4]. Evidenziare i cammini che svolgono lavoro utile per l'esecuzione dell'istruzione [1]. Estendere questa CPU perché possa eseguire anche l'istruzione di bne [2].
2. [4] Scrivere un algoritmo della moltiplicazione binaria intera su dati su 4 bit per un'architettura dotata di 3 registri. Disegnare l'architettura associata.
3. [3] In quanti cicli di clock viene eseguita una moltiplicazione dal circuito disegnato sopra? Quale sarà il cammino critico del suo data path? (considerare pari a  $3 \cdot N$  il cammino critico di un sommatore a N bit).
4. [5] Descrivere come si possa modificare l'architettura disegnata in Figura 2 per potere eseguire anche la divisione intera sempre su dati su 4 bit. Mantenere l'impianto utilizzato per l'esercizio 2, con gli stessi 3 registri. Definire quali segnali di controllo aggiuntivi sono richiesti. Scrivere l'algoritmo per la divisione intera per l'architettura disegnata per questo esercizio e calcolare i primi due passi della divisione binaria 10:3, visualizzando per ogni passo il valore del contenuto di tutti e 3 i registri.
5. [2] Scrivere l'algoritmo per la somma in virgola mobile per numeri decimali codificati in notazione normalizzata, IEEE 754 in singola precisione. Come si estende il circuito a numeri in doppia precisione?
6. [3] Disegnare il ciclo di esecuzione di un'istruzione su un'architettura MIPS a singolo ciclo. Quante fasi si distinguono? Quando l'architettura capisce di che istruzione si tratta? Perché? Cosa si intende? I componenti appartenenti a quali fasi vengono configurati dall'unità di controllo? Perché? Come? Cos'è un'ISA? Possono due CPU avere la stessa ISA? Due CPU diverse devono avere una ISA necessariamente diversa? Perché?
7. [1] Descrivere come viene suddivisa in modo logico per convenzione una memoria principale dai processori MIPS e quali sono le ragioni per la scelta dei confini dei diversi segmenti.
8. [3] Scrivere l'istruzione assembler e in linguaggio macchina che effettua il salto incondizionato (jump) all'indirizzo: 0x0008 0000. Si supponga che l'istruzione corrente si trovi all'indirizzo 0x0000 0024, Il codice operativo dell'istruzione jump è 2. E' possibile utilizzare un'istruzione di branch per saltare allo stesso indirizzo? Perché?
9. [2] Tradurre in linguaggio assembler l'istruzione ad alto livello: if (a > b) then CODICE;
10. [5] Costruire una macchina di Huffman che implementi un contatore sincrono modulo 3 con queste caratteristiche:
  - Quando il segnale di conteggio in ingresso è = 1, viene incrementato il contatore;
  - Quando il conteggio finale arriva a 3 viene inviato in uscita un segnale di fine conteggio. All'istante successivo il contatore conterrà 0 se il segnale di conteggio sarà 0, oppure conterrà 1 se il segnale di conteggio sarà 1.
  - E' presente anche un segnale di reset, che riporta il contatore a 0.
  - I segnali di reset e di conteggio sono mutuamente esclusivi.Sono quindi presenti 2 segnali in ingresso: conteggio e reset e 2 segnali di uscita: contenuto del contatore e fine conteggio.

